

PATENT  
81754.0094

Express Mail Label No. EV 325 216 880 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tatsuo NISHIMAKI

Serial No: Not assigned

Filed: July 18, 2003

For: POWER SOURCE CIRCUIT

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

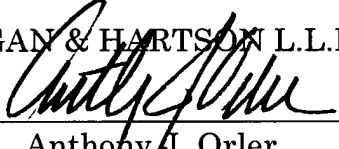
Enclosed herewith is a certified copy of Japanese patent application No. 2002-215246 which was filed July 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 18, 2003

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

【書類名】 特許願

【整理番号】 J0090831

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/335

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 西牧 辰夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各 P W M 信号にてオン,オフさせ、出力として P W M 制御された直流出力電圧を得る D C - D C 変換回路と、

前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する検出手段を有し、前記中間ノード電位が所定の電位以下になったときに前記下位トランジスタをオンさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 2】 電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各 P W M 信号にてオン,オフさせ、出力として P W M 制御された直流出力電圧を得る D C - D C 変換回路と、

前記 D C - D C 変換回路の出力を所定の基準電圧値と比較し誤差量を得る誤差検出手段と、

前記誤差量に応じてパルス幅が制御された P W M 信号を生成して、前記 D C - D C 変換回路の各トランジスタの各ゲートに供給するもので、前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する検出手段を有し、前記中間ノード電位が所定の電位以下になったときに前記下位トランジスタをオンさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 3】 前記 P W M 手段における前記検出手段は、

前記中間ノード電位が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力することを特徴とする請求項 1 または 2 に記載の電源回路。

【請求項 4】 前記 P W M 手段における前記検出手段は、

電源電圧を V D D、基準電位を零とした場合、前記中間ノード電位を ( $V D D / 2$ ) 系のロジック回路で受け、該中間ノード電位が ( $V D D / 4$ ) 以下の電位に低下

したことを検出したときに前記下位トランジスタをオンさせる信号を出力することを特徴とする請求項 1 または 2 に記載の電源回路。

【請求項 5】 電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各 P W M 信号にてオン, オフさせ、出力として P W M 制御された直流出力電圧を得る D C - D C 変換回路と、

前記 D C - D C 変換回路の出力を所定の基準電圧値と比較し誤差量を得る誤差検出手段と、

前記誤差量に応じてパルス幅が制御された P W M 信号を生成して、前記 D C - D C 変換回路の各トランジスタの各ゲートに供給するもので、前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する第 1 の検出手段と、前記 D C - D C 変換回路に供給する P W M 信号のうち、前記下位トランジスタのゲートに供給する P W M 信号のレベルを検出する第 2 の検出手段とを有し、前記第 1 の検出手段で前記中間ノード電位が所定の電位以下になったことを検出したときに前記下位トランジスタをオンさせ、前記第 2 の検出手段で前記下位トランジスタのゲートに供給する P W M 信号のレベルが所定の電位以下になったことを検出した後に前記上位トランジスタをオンさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 6】 前記 P W M 手段における前記第 1 の検出手段は、

前記中間ノード電位が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力し、

前記 P W M 手段における前記第 2 の検出手段は、

前記下位トランジスタのゲートに供給する P W M 信号が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記上位トランジスタをオンさせる信号を出力することを特徴とする請求項 5 に記載の電源回路。

【請求項 7】 前記 P W M 手段における前記第 1 の検出手段は、

電源電圧を V D D、基準電位を零とした場合、前記中間ノード電位を ( $V D D / 2$ ) 系のロジック回路で受け、該中間ノード電位が ( $V D D / 4$ ) 以下の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力し、

前記PWM手段における前記第2の検出手段は、

電源電圧をVDD、基準電位を零とした場合、前記下位トランジスタのゲートに供給するPWM信号を( $VDD/2$ )系のロジック回路で受け、前記下位トランジスタのゲートに供給するPWM信号のレベルが( $VDD/4$ )以下の電位に低下したことを検出した後に前記上位トランジスタをオンさせる信号を出力することを特徴とする請求項5に記載の電源回路。

【請求項8】 前記上位トランジスタのオフ期間で前記下位トランジスタがオンした時に、前記中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが戻って該基準電位を越える状態になったことを示す検出信号を出力する検出回路をさらに具備し、

前記PWM手段は、前記DC-DC変換回路に供給するPWM信号のうち、前記下位トランジスタのゲートに供給するPWM信号のパルス幅を前記検出回路の検出信号により制御して、前記下位トランジスタのオンしている状態をオフさせる機能をさらに有することを特徴とする請求項2又は5に記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源回路に関し、特に、同期整流型電源回路などにおいて、貫通電流の低減を図った電源回路に関する。

【0002】

【従来の技術】

近年、携帯電話などのモバイル機器が普及し、負荷となる回路を電池で駆動する機会が増えており、電源回路の消費電力が小さいことが必要不可欠となっている。また、電源回路は、負荷変動に対して高速に応答可能であることも必要不可欠となっている。

【0003】

特に、集積回路を使用した電子機器の普及に伴い、低電圧で低消費電力の安定化直流電源が必要となる。

【0004】

負荷及び入力の変動に合わせて、トランジスタをオン、オフさせてスイッチ作用で電源の安定化を図れば、無駄に消費される電力を少なくできるため、電源の効率が非常に良くなる。つまり、トランジスタのオン期間（或いはオンデューティ）を変化させることで電源の安定化を図ることができる。そのような効率的な電源回路として、CMOS集積回路を用いた同期整流型スイッチングレギュレータがある。

#### 【0005】

CMOS集積回路は、Nチャンネルトランジスタ（以下、NMOSと略記する）とPチャンネルトランジスタ（以下、PMOSと略記する）の2種類のMOSトランジスタを組み合わせて構成され、その低消費電力特性ゆえに、LSI技術の主流となっている。

#### 【0006】

図13に、CMOS集積回路を用いた同期整流型スイッチングレギュレータの構成を示している。

#### 【0007】

図13において、電源回路は、ハイサイド側のPMOS（以下、上位トランジスタという）（QP1）とローサイド側のトランジスタ（以下、下位トランジスタという）（QN1）を有し、交互にオン、オフして直流電圧VOUTを出力する同期整流型のスイッチングレギュレータ回路と、このスイッチングレギュレータ回路の出力電圧を基準電圧源Eの基準電圧値と比較し誤差信号を得るエラーアンプ40と、前記誤差信号に基づいてPWM信号のパルス幅を制御することで、前記スイッチングレギュレータ回路の出力を一定となるよう制御するPWM回路32と、このPWM回路32のPWM信号を入力し、前記スイッチングレギュレータ回路の上位トランジスタ（QP1）と下位トランジスタ（QN1）に供給するゲートパルスSH、SLを作成する出力ドライバ31と、を有して構成されている。なお、PWM回路32と出力ドライバ31とは、PWM手段を構成している。

#### 【0008】

スイッチングレギュレータ回路は、入力電圧である直流電圧VIN（＝電源電圧VDD、例えば4V）が供給される端子1と基準電位VSS（＝グランド電位GND

、例えば0 V) が与えられた端子2との間に、上位トランジスタ(QP1)、下位トランジスタ(QN1)の各トランジスタがドレインDを共通にして直列に接続されている。上位トランジスタ(QP1)のソースSは端子1に接続し、下位トランジスタ(QN1)のソースSは端子2に接続している。

#### 【0009】

上位トランジスタ(QP1)、下位トランジスタ(QN1)の各ゲートには、PWM手段からPWM信号として高周波パルスSH、SLが供給され、各トランジスタは該高周波パルスSH、SLにて交互にオン、オフされることにより、両トランジスタの接続点である中間ノードKに交流電圧VMAを発生する。

#### 【0010】

交流電圧VMAが生成される中間ノードKと基準電位VSSが与えられる端子2との間には、整流用コイルL1と安定化容量C0が直列に接続し、その直列接続点に接続した出力端子4に安定化容量C0で平滑された直流電圧VOUT(例えば1.5 V)が出力され、図示しない負荷に供給される。

#### 【0011】

そして、出力の直流電圧VOUTはフィードバックラインを介してエラーアンプ40の一端子に帰還されており、基準電位VSSが与えられる端子5に接続した基準電圧源Eの基準電圧値と比較される。

#### 【0012】

エラーアンプ40の比較結果である誤差(エラー)電圧はPWM回路32に供給され、該誤差電圧にてPWM回路32が生成するPWM信号(のパルス幅が制御される。なお、PWM回路32からのPWM信号と、出力ドライバ31から出力されるPWM信号としてのゲートパルスSHとは、反転関係にある。

#### 【0013】

上記の構成で、電源電圧VINと基準電位VSS間に直列に接続されたハイサイドトランジスタ(QP1)、ローサイドトランジスタ(QN1)の制御に関しては、確実に片方のトランジスタがオフした後に、もう一方のトランジスタがオンするように制御する必要がある。そうしないと、両トランジスタ間に貫通電流が流れ、効率を著しく低下させることになる。



## 【0014】

図14は、上記出力ドライバ31の構成例を示す回路図を示している。

## 【0015】

図14において、出力ドライバ31は、PWM回路32からのPWM信号が入力される入力端子6と、インバータ311と、2入力のナンドゲート312と、インバータ313、314と、2入力のナンドゲート315と、インバータ316、317と、上位トランジスタ（QP1）のゲート信号となる高周波パルスSHを出力する出力端子9と、下位トランジスタ（QN1）のゲート信号となる高周波パルスSLを出力する出力端子10と、を有して構成されている。

## 【0016】

このロジック構成では、入力端子6に入力するPWM信号がローレベルのとき出力端子9のSH信号はハイレベルであり、2入力ナンドゲート315の2つの入力とともにハイレベル、出力端子10のSL信号はハイレベルとなる。また、入力端子6に入力するPWM信号がハイレベルのとき2入力ナンドゲート315の出力はハイレベル、出力端子10のSL信号はローレベルとなり、2入力ナンドゲート312の2つの入力とともにハイレベル、出力端子9のSH信号はローレベルとなる。このように構成された出力ドライバ31では、所謂‘たすきがけ’のロジック形態をとっており、各ロジック素子間の時間的な遅延に基づいて、電源電圧と基準電位間に直列に接続された上位トランジスタ（QP1）、下位トランジスタ（QN1）が同時にオンしないようにして両トランジスタ間に貫通電流が流れないようにしている。

## 【0017】

## 【発明が解決しようとする課題】

しかしながら、図14の出力ドライバの構成では、上位、下位トランジスタを構成するパワーMOSトランジスタの応答性、ゲート容量により、ハイサイド側からローサイド側への貫通電流を防止するのが困難であった。即ち、パワーMOSトランジスタの特性、種類により貫通電流を無くすことは難しかった。

## 【0018】

そこで、本発明は、上記の問題に鑑み、貫通電流を防止し、変換効率を上げる

ことができる電源回路を提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明による電源回路は、電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各PWM信号にてオン、オフさせ、出力としてPWM制御された直流出力電圧を得るDC-DC変換回路と、前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する検出手段を有し、前記中間ノード電位が所定の電位以下になったときに前記下位トランジスタをオンさせるPWM手段と、を具備したものである。

【0020】

本発明のこのような構成によれば、上位トランジスタがオフしたときに、中間ノード電位は下降していき、この中間ノード電位が所定の電位以下になったときに下位トランジスタをオンさせることになるので、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができ、上位トランジスタのオフ時に、上位トランジスタと下位トランジスタ間に貫通電流が流れることはない。

【0021】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各PWM信号にてオン、オフさせ、出力としてPWM制御された直流出力電圧を得るDC-DC変換回路と、前記DC-DC変換回路の出力を所定の基準電圧値と比較し誤差量を得る誤差検出手段と、前記誤差量に応じてパルス幅が制御されたPWM信号を生成して、前記DC-DC変換回路の各トランジスタの各ゲートに供給するもので、前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する検出手段を有し、前記中間ノード電位が所定の電位以下になったときに前記下位トランジスタをオンさせるPWM手段と、を具備したものである。

【0022】

本発明のこのような構成によれば、上位トランジスタがオフしたときに、中間

ノード電位は下降していき、この中間ノード電位が所定の電位以下になったときに下位トランジスタをオンさせることになるので、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができ、上位トランジスタのオフ時に、上位トランジスタと下位トランジスタ間に貫通電流が流れることはない。

【0023】

また、本発明において、前記PWM手段における前記検出手段は、前記中間ノード電位が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力することが好ましい。

【0024】

このような構成によれば、中間ノード電位が十分に低い電位にまで低下するのに時間遅れを発生させることができ、上位トランジスタがオフした後に確実に下位トランジスタをオンさせることが可能となる。

【0025】

また、本発明において、前記PWM手段における前記検出手段は、電源電圧をVDD、基準電位を零とした場合、前記中間ノード電位を( $VDD/2$ )系のロジック回路で受け、該中間ノード電位が( $VDD/4$ )以下の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力することが好ましい。

【0026】

このような構成によれば、VDDを4Vとした場合、中間ノード電位を2V系のロジック回路で受け、中間ノード電位が1V以下の電位に低下したときに下位トランジスタをオンさせることができ、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができる。

【0027】

また、本発明による電源回路は、電源電圧と基準電位間に直列に接続された上位トランジスタと下位トランジスタを有し、前記各トランジスタを各PWM信号にてオン、オフさせ、出力としてPWM制御された直流出力電圧を得るDC-DC変換回路と、前記DC-DC変換回路の出力を所定の基準電圧値と比較し誤差量を得る誤差検出手段と、前記誤差量に応じてパルス幅が制御されたPWM信号

を生成して、前記DC-DC変換回路の各トランジスタの各ゲートに供給するもので、前記上位トランジスタがオフした後に、前記上位トランジスタと前記下位トランジスタの接続点の中間ノード電位のレベルを検出する第1の検出手段と、前記DC-DC変換回路に供給するPWM信号のうち、前記下位トランジスタのゲートに供給するPWM信号のレベルを検出する第2の検出手段とを有し、前記第1の検出手段で前記中間ノード電位が所定の電位以下になったことを検出したときに前記下位トランジスタをオンさせ、前記第2の検出手段で前記下位トランジスタのゲートに供給するPWM信号のレベルが所定の電位以下になったことを検出した後に前記上位トランジスタをオンさせるPWM手段と、を具備したものである。

## 【0028】

本発明のこのような構成によれば、上位トランジスタと下位トランジスタを交互にオンさせる際に、上位トランジスタがオフしたのち中間ノード電位が所定の電位以下になったときに下位トランジスタをオンさせることになるので、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができ、また下位トランジスタがオフとなった後に上位トランジスタをオンさせるので、下位トランジスタが確実にオフした後に上位トランジスタをオンさせることができ、上位トランジスタと下位トランジスタは同時にオンすることがなく、上位トランジスタのオフ時及び下位トランジスタのオフ時ともに、上位トランジスタと下位トランジスタ間に貫通電流が流れることはない。

## 【0029】

また、本発明において、前記PWM手段における前記第1の検出手段は、前記中間ノード電位が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力し、前記PWM手段における前記第2の検出手段は、前記下位トランジスタのゲートに供給するPWM信号が前記電源電圧に対して十分に低い所定の電位に低下したことを検出したときに前記上位トランジスタをオンさせる信号を出力することが好ましい。

## 【0030】

このような構成によれば、中間ノード電位が十分に低い電位にまで低下するの

に時間遅れを発生させることができ、上位トランジスタがオフした後に確実に下位トランジスタをオンさせることが可能となる。また、下位トランジスタのゲートに供給するPWM信号が十分に低い電位にまで低下するのに時間遅れを発生させることができ、下位トランジスタがオフした後に確実に上位トランジスタをオンさせることが可能となる。

#### 【0031】

さらに、本発明において、前記PWM手段における前記第1の検出手段は、電源電圧をVDD、基準電位を零とした場合、前記中間ノード電位を( $VDD/2$ )系のロジック回路で受け、該中間ノード電位が( $VDD/4$ )以下の電位に低下したことを検出したときに前記下位トランジスタをオンさせる信号を出力し、前記PWM手段における前記第2の検出手段は、電源電圧をVDD、基準電位を零とした場合、前記下位トランジスタのゲートに供給するPWM信号を( $VDD/2$ )系のロジック回路で受け、前記下位トランジスタのゲートに供給するPWM信号のレベルが( $VDD/4$ )以下の電位に低下したことを検出した後に前記上位トランジスタをオンさせる信号を出力することが好ましい。

#### 【0032】

このような構成によれば、VDDを4Vとした場合、中間ノード電位を2V系のロジック回路で受け、中間ノード電位が1V以下の電位に低下したときに下位トランジスタをオンさせることができ、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができる。また、下位トランジスタのゲートに供給するPWM信号のレベルが1V以下の電位に低下したときに上位トランジスタをオンさせることができる。従って、上位トランジスタが確実にオフした後に下位トランジスタをオンさせることができると共に、下位トランジスタが確実にオフした後に上位トランジスタをオンさせることができる。

#### 【0033】

また、以上の本発明において、前記上位トランジスタのオフ期間で前記下位トランジスタがオンした時に、前記中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが戻って該基準電位を越える状態になったことを示す検出信号を出力する検出回路をさらに具備し、前記PW

M手段は、前記DC-DC変換回路に供給するPWM信号のうち、前記下位トランジスタのゲートに供給するPWM信号のパルス幅を前記検出回路の検出信号により制御して、前記下位トランジスタのオンしている状態をオフさせる機能をさらに有することが好ましい。

#### 【0034】

このような構成によれば、上位トランジスタと下位トランジスタの同時オンを回避して貫通電流を防止できると共に、上位トランジスタがオフした後に中間ノード電位がアンダーシュートすることによって中間ノードから基準電位側に流れ出る電流を無くすことができ、無駄な消費電流（即ち無駄な電力消費）を無くすることができる。

#### 【0035】

##### 【発明の実施の形態】

発明の実施の形態について図面を参照して説明する。

#### 【0036】

図1は本発明の第1の実施の形態の電源回路の構成を示している。本実施の形態は、効率の良い安定化直流電源として、CMOS集積回路を用いた同期整流型スイッチングレギュレータの構成を示している。

#### 【0037】

図1において、電源回路は、上位トランジスタ（QP1）と下位トランジスタ（QN1）を有し、交互にオン、オフして直流電圧VOUTを出力する同期整流型のスイッチングレギュレータ回路で構成されるDC-DC変換回路と、このDC-DC変換回路の出力電圧を基準電圧源Eの基準電圧値と比較し誤差信号を得るエラーアンプ40と、前記誤差信号に基づいてPWM信号のパルス幅を制御することで、前記DC-DC変換回路の出力を一定となるよう制御するPWM回路32と、このPWM回路32のPWM信号を入力し、前記DC-DC変換回路の上位トランジスタ（QP1）と下位トランジスタ（QN1）に供給するゲートパルスSH、SLを作成するもので、上位トランジスタ（QP1）がオフした後に、上位トランジスタ（QP1）と下位トランジスタ（QN1）の接続点Kの電位（以下、中間ノード電位）VMAのレベルを検出する検出手段を備え、中間ノード電位VM

Aが所定の電位以下になったときに下位トランジスタ（Q N1）をオンさせるよう制御する出力ドライバ3 1 Aと、を有して構成されている。なお、PWM回路3 2と出力ドライバ3 1 Aとは、PWM手段を構成している。

## 【 0 0 3 8 】

上記DC-DC変換回路は、入力電圧である直流電圧V IN（＝電源電圧V DD、例えば4 V）が供給される端子1と基準電位V SS（＝グランド電位G ND、例えば0 V）が与えられた端子2との間に、上位トランジスタ（Q P1）、下位トランジスタ（Q N1）の各トランジスタがドレインDを共通にして直列に接続されている。上位トランジスタ（Q P1）のソースは端子1に接続し、下位トランジスタ（Q N1）のソースは端子2に接続している。

## 【 0 0 3 9 】

上位トランジスタ（Q P1）、下位トランジスタ（Q N1）の各ゲートには、出力ドライバ3 1 AからPWM信号として高周波パルスSH、SLが供給され、各トランジスタは該高周波パルスSH、SLにて交互にオン、オフされることにより、両トランジスタの接続点である中間ノードKに交流電圧V MAを発生する。なお、下位トランジスタ（Q N1）のソース・ドレイン間にはショットキーダイオードSDが接続され、ローサイドトランジスタのオフ時におけるローサイドトランジスタへの過電圧防止と電力供給バックアップを行う。

## 【 0 0 4 0 】

出力ドライバ3 1 Aは、具体的には、上位トランジスタ（Q P1）がオフした（即ちゲートパルスSHがハイレベルになった）後に、上位トランジスタ（Q P1）と下位トランジスタ（Q N1）の接続点の電位（中間ノード電位）がしきい値を越えたか否かを検出する検出手段を有し、前記中間ノード電位がしきい値以下になったときにパルスSLをハイレベルにして下位トランジスタ（Q N1）をオンさせる機能を有している。

交流電圧V MAが生成される中間ノードKと基準電位V SSが与えられる端子2との間には、整流用コイルL1と安定化容量C0が直列に接続し、その直列接続点に接続した出力端子4に安定化容量C0で平滑された直流電圧V OUT（例えば1.5 V）が出力され、図示しない負荷に供給される。

## 【 0 0 4 1 】

そして、出力の直流電圧  $V_{OUT}$  はフィードバックラインを介してエラーアンプ 4 0 の一端子に帰還されており、基準電位  $V_{SS}$  が与えられる端子 5 に接続した基準電圧源 E の基準電圧値と比較される。

## 【 0 0 4 2 】

エラーアンプ 4 0 の比較結果である誤差（エラー）電圧は PWM 回路 3 2 に供給され、該誤差電圧にて PWM 回路 3 2 が生成する PWM 信号のパルス幅が制御される。これにより、前記 DC - DC 変換回路の出力電圧  $V_{OUT}$  が一定となるよう PWM 制御される。

## 【 0 0 4 3 】

図 2 は、上記出力ドライバ 3 1 A の構成例を示す回路図を示している。図 1 4 と同一部分には同一符号を付して説明する。

## 【 0 0 4 4 】

図 2 において、出力ドライバ 3 1 A は、PWM 回路 3 2 からの PWM 信号（S H 信号とは反転関係にある）が入力される入力端子 6 と、中間ノード電位  $V_{MA}$  を入力する入力端子 7 と、インバータ 3 1 1 と、2 入力のナンドゲート 3 1 2 と、インバータ 3 1 3、3 1 4 と、2 入力のナンドゲート 3 1 5 と、インバータ 3 1 6 と、インバータ 3 1 7 と、2 V / 4 V レベルシフタ（L / S と略記）3 2 1 と、2 入力ナンドゲート 3 1 8 と、インバータ 3 1 9 と、2 V / 4 V レベルシフタ（L / S と略記）3 2 0 と、上位トランジスタ（Q P 1）のゲート信号となる高周波パルス S H を出力する出力端子 9 と、下位トランジスタ（Q N 1）のゲート信号となる高周波パルス S L を出力する出力端子 1 0 と、を有して構成されている。

## 【 0 0 4 5 】

上記 2 入力のナンドゲート 3 1 2 とインバータ 3 1 3、3 1 4、及び上記 2 入力のナンドゲート 3 1 5 とインバータ 3 1 6 は、電源電圧 4 V にて駆動される 4 V 系回路であり、インバータ 3 1 7 は電源電圧 2 V にて駆動される 2 V 系回路である。

## 【 0 0 4 6 】



図2で図14と異なる点は、入力端子7に入力する中間ノード電位VMAをまず2V/4Vレベルシフタ320で受け、4V系に変換して2入力ナンドゲート318の一方の入力端に入力し、2入力ナンドゲート318のもう一方の入力端には出力端子9におけるパルスSHをインバータ319を介して入力し、2入力ナンドゲート318の出力を4V系の2入力ナンドゲート315の一方の入力端に供給している。また、出力端子10におけるパルスSLを2V系インバータ317で受け、その出力を2V/4Vレベルシフタ321を介して4V系の2入力ナンドゲート312の一方の入力端に供給している、ことである。

#### 【0047】

この図2のロジック構成では、入力端子6に入力するPWM信号がローレベルになったとき出力端子9のSH信号はハイレベルであり、このとき入力端子7に入力する中間ノード電位VMAは降下し、1V以下にまで低下すると、レベルシフタ320で2V以下の電圧に変換され、2入力ナンドゲート318の2つの入力とともにローレベル、従って2入力ナンドゲート315の入力はともにハイレベル、出力端子10のSL信号はハイレベルとなる。

#### 【0048】

また、入力端子6に入力するPWM信号がハイレベルのとき2入力ナンドゲート315の出力はハイレベル、出力端子10のSL信号はローレベルとなるが、該SL信号がローレベルに低下する際にそのレベルが1V以下になって初めて2V系インバータ317の出力がハイレベルとなり、レベルシフタ321で4V系にレベル変換されてもハイレベルとして2入力ナンドゲート312に入力され、2入力ナンドゲート312の2つの入力とともにハイレベルその出力はローレベル、出力端子9のSH信号はローレベルとなる。

#### 【0049】

このように構成された図2の出力ドライバ31Aでは、中間ノード電位VMAの変化を利用して、下位トランジスタ(QN1)のゲートに供給するパルスSLを制御する。図3(a)のように上位トランジスタ(QP1)のゲートパルスSHがハイレベルとなり上位トランジスタ(QP1)がオフすると、中間ノード電位VMAは図3(b)のようにコイルL1に蓄積されたエネルギーにより低下していく。中

間ノード電位VMAがある電位以下（例えば、 $V_{DD}=4\text{ V}$ としたとき、 $2\text{ V}$ 系のロジック回路のしきい値である $1\text{ V}$ 以下）になったことを検出してから図3(c)のように下位トランジスタ（QN1）のゲートパルスSLをハイレベルにし下位トランジスタ（QN1）をオンするように制御する。

【0050】

逆に、上位トランジスタ（QP1）については、図4(a)のように下位トランジスタ（QN1）のゲートパルスSLが $1\text{ V}$ 以下にまで下がったことを検出してから、図4(b)のように上位トランジスタ（QP1）のゲートパルスSHをローレベルにし上位トランジスタ（QP1）をオンするように制御する。

【0051】

以上述べた第1の実施の形態によれば、上位トランジスタ（QP1）と下位トランジスタ（QN1）が同時にオンして貫通電流が流れるのを防止することが可能となる。

【0052】

図5は本発明の第2の実施の形態の電源回路の構成を示している。本実施の形態で図1と同一部分には同一符号を付して説明する。

【0053】

図5に示す電源回路において、図1の電源回路と異なる点は、上位トランジスタ（QP1）がオフしている期間で下位トランジスタ（QN1）がオンしている時に、中間ノードKの電位VMAがVSSレベルより低い電位にアンダーシュートした後そのアンダーシュートから戻ってVSSレベルに達し更に上昇したことを検出して、検出信号NOFFを出力する検出回路33を設けた構成とし、かつ出力ドライバ31Bとしては、前記PWM回路32のPWM信号を入力し、前記DC-DC変換回路の上位トランジスタ（QP1）と下位トランジスタ（QN1）に供給するゲートパルスSH、SLを作成するもので、上位トランジスタ（QP1）と下位トランジスタ（QN1）が同時にオンすることのないように各ゲートパルスSH、SLを制御する第1の機能を有する一方、前記DC-DC変換回路に供給するPWM信号SH、SLのうち、下位トランジスタ（QN1）のオン、オフに係わるPWM信号SLのハイレベル期間のパルス幅を前記検出信号NOFFにより制御

して、上位トランジスタ（Q P1）のオフ期間で下位トランジスタ（Q N1）がオンしている時に、下位トランジスタ（Q N1）のオン状態をオフさせる制御を行う第2の機能とを有して構成されている。なお、P W M回路3 2と出力ドライバ3 1 Bとは、P W M手段を構成している。

#### 【0 0 5 4】

出力ドライバ3 1 Bの上記の第1の機能は、具体的には、例えば中間ノード電子VMAのレベルを検出し、中間ノード電子VMAが所定の電位以下になったときに、下位トランジスタ（Q N1）をオンさせるよう制御したり、下位トランジスタ（Q N1）のゲートに供給するP W M信号のレベルを検出し、そのレベルが所定の電位以下になったときに、上位トランジスタ（Q P1）をオンさせるよう制御するものである。

#### 【0 0 5 5】

出力ドライバ3 1 Bの上記の第2の機能は、図7 (a)～(c)に示されるように上位トランジスタ（Q P1）がオフしている期間で下位トランジスタ（Q N1）がオンしている時に、中間ノード電位VMAがVSSレベルより低い電位にアンダーシュートした後そのアンダーシュートから戻ってVSSレベルを越える状態となった場合には、下位トランジスタ（Q N1）のオンしている状態を強制的にオフにすることで、中間ノード電位VMAがVSSレベルより高くなっても中間ノードK側からVSS側へ電流が流れて電力消費するのを防ぐためのものである。

#### 【0 0 5 6】

図6は、図5における出力ドライバ3 1 Bの構成例を示している。図2に示した出力ドライバ3 1 Aの2入力ナンドゲート3 1 5を、3入力ナンドゲート3 1 5 aとしたものである。即ち、図2のナンドゲート3 1 5に、もう1つの検出信号N O F Fを入力するための入力端子8を設けて、3入力ナンドゲート3 1 5 aとしたものである。その他の構成は図2と同様であるので、説明を省略する。

#### 【0 0 5 7】

図6の構成によって、出力ドライバ3 1 Bに、上述した第1，第2の機能を持たせることができる。即ち、出力端子9のS H信号がハイレベルであり上位トランジスタ（Q P1）がオフしている期間でかつ出力端子1 0のS H信号がハイレベ

ルレベルで下位トランジスタ (Q N1) がオンしている時に、入力端子 8 に入力する検出信号 N O F F がハイレベルからローレベルに変化する (これは上述した VMA が VSS より低いレベルにアンダーシュートした後に VSS レベルを越える状態に変化したことを意味する) と、3 入力ナンドゲート 3 1 5 a の出力はハイレベルになり、出力端子 1 0 の SL 信号は強制的にローレベルにされる。従って、下位トランジスタ (Q N1) のオン状態を強制的にオフにすることができ、中間ノード電位 VMA が VSS レベルより高くなっても中間ノード K 側から VSS 側へ電流が流れて電力消費するのを防ぐことができる。

## 【 0 0 5 8 】

この出力ドライバ 3 1 B の第 2 の機能、及び検出信号 N O F F を発生する検出回路 3 3 について、図 7 ～図 1 2 を参照して説明する。

## 【 0 0 5 9 】

図 7 は図 5 における PWM 信号 SH, SL 及び中間ノード電位 VMA の変化を示すタイミングチャートであり、(a) は PWM 信号 SH、(b) は中間ノード電位 VMA、(c) は PWM 信号 SL をそれぞれ示している。図 8 は図 7 (b) を拡大して示す拡大図である。図 9 は基準電位 VSS 及び中間ノード電位 VMA と、検出回路 3 3 の検出信号 N O F F との関係を示すタイミングチャートであり、(a) は上位トランジスタがオフしている期間で下位トランジスタがオンの時の、基準電位 VSS に対する中間ノード電位 VMA の変化状態 (軽負荷時) を示し、(b) は VMA と VSS に基づいて検出回路 3 3 で生成される検出信号 N O F F を示している。

## 【 0 0 6 0 】

上位トランジスタ (Q P1) , 下位トランジスタ (Q N1) の各ゲートには、PWM 手段から PWM 信号として高周波パルス SH, SL が供給され、各 MOS トランジスタは該高周波パルス SH, SL にて交互にオン, オフされる。上位トランジスタ (Q P1) がオンし、下位トランジスタ (Q N1) がオフしている期間には、電源からの直流電圧  $V_{IN}$  ( $= V_{DD}$ ) に基づいた電流がコイル L1 を介して安定化容量 C0 に充電されるので、図 7 (b) に示すように中間ノード電位 VMA は直流電圧  $V_{IN}$  ( $= V_{DD}$ ) となり、そして上位トランジスタ (Q P1) がオフし下位トランジスタ (Q N1) がオンすると、中間ノード電位 VMA は基準電位 VSS ( $= G$

N D) より若干低いレベルにまでアンダーシュートした後上昇し、VSSレベルとP点にて交差し、更に直線的に上昇してVSS (= GND) を越える状態となる。

#### 【0061】

上位トランジスタ (Q P1) のオフ期間におけるVMAの電圧変化は、図8に示すようになっており、上位トランジスタ (Q P1) のオフ期間に下位トランジスタ (Q N1) がオンした後の期間T2においてVSSレベルより低い電位にアンダーシュートしそのアンダーシュートが戻った後下位トランジスタ (Q N1) が前記検出信号NOFFに基づいて強制的にオフするのでVMAの電圧は急激に上昇する。そして、上位トランジスタ (Q P1) がオンされている期間T1においては、中間ノード電圧VMAはVIN (= VDD) 一定を保持している。

#### 【0062】

検出回路33は、その検出信号NOFFとして、図9(a), (b)に示すように、上記期間T2において中間ノード電位VMAが基準電位VSSレベルより低いときはハイレベル信号(H)を出力し、VSSレベルを越えて上昇する状態となったときはローレベル信号(L)を出力する。

#### 【0063】

出力ドライバ31Bは、期間T2において、図9(b)の検出信号NOFFを受けると、図7(c)のパルスSLの2点鎖線にて示すパルス幅をP点のタイミングでローレベルに落とし、結果として実線にて示すパルス幅に変化させる。これにより下位トランジスタ (Q N1) のオンする期間は短くなるが、図示しない負荷に供給する出力電圧VOUTは主に上位トランジスタ (Q P1) のオン期間に安定化容量C0に蓄積される充電電圧によって決まるので下位トランジスタ (Q N1) のオン期間の多少は殆んど影響しない。寧ろ、下位トランジスタ (Q N1) のオン期間に中間ノードK (従って安定化容量C0) から基準電位VSS側に流れる電流によって発生する電力損失を防止できる効果の方が大きい。

#### 【0064】

図10は上記検出回路33の構成例を示すもので、(a)はその回路図、(b)は(a)におけるスイッチS1~S3の切換えタイミングを示す図である。ここでは、一段のインバータ(331)を用いた例を示している。

## 【 0 0 6 5 】

検出回路 3 3 は、中間ノード電位  $V_{MA}$  の入力端 1 1 と、スイッチ  $S_1$ ,  $S_2$  と、結合コンデンサ  $C_1$  と、インバータ 3 3 1 と、スイッチ  $S_3$  と、2 入力ナンドゲート 3 3 4 と、インバータ 3 3 5 と、検出信号  $NOFF$  の出力端 1 5 と、を有して構成されている。インバータ 3 3 1 は、前記電源電圧  $V_{IN}$  ( $=V_{DD}$ ) と前記基準電位  $V_{SS}$  の同じ電圧を用いて駆動される。スイッチ  $S_1$ ,  $S_2$  はそれぞれ入力端  $A$ ,  $B$  を有する 2 入力切換えスイッチであり、スイッチ  $S_3$  はオンオフ切換えスイッチであってインバータ 3 3 1 の入出力端間に並列に接続されている。

## 【 0 0 6 6 】

入力端 1 1 には中間ノード電位  $V_{MA}$  が入力され、期間  $T_2$  においてはスイッチ  $S_1$ ,  $S_2$  を介し、更に結合コンデンサ  $C_1$  を介してインバータ 3 3 1 の入力点  $a$  に供給される。このときスイッチ  $S_3$  は開放であるので、入力点  $a$  の信号は反転されてナンド (NAND) ゲート 3 3 4 の一方の入力端に入力し、もう一方の入力端 1 4 に与えられている期間  $T_2$  を示すハイレベル信号との間でナンド (NAND) がとられ、さらにインバータ 3 3 5 を介して出力端 1 5 に検出信号  $NOFF$  として出力される。また、期間  $T_1$  においては、結合コンデンサ  $C_1$  の入力端は  $V_{SS}$  レベルにされ、上記スイッチ  $S_3$  はショートされる。

## 【 0 0 6 7 】

なお、スイッチ  $S_1$  は、期間  $T_1$  において入力電圧  $V_{MA}$  が  $V_{IN}$  ( $=V_{DD}$ ) になったときにスイッチ  $S_1$  の出力端を介して後段に電源電圧  $V_{IN}$  の影響が及ばないようにスイッチ  $S_1$  の出力端を  $V_{SS}$  レベル側にしておくために設けてある。

## 【 0 0 6 8 】

また、上記のナンドゲート 3 3 4, インバータ 3 3 5 は、期間  $T_2$  においてアナログ信号  $V_{MA}$  の変化をインバータ 3 3 1 で 2 値化した信号を更にデジタル信号化していくために付加されたゲートである。

## 【 0 0 6 9 】

端子 1 1 に入力される上記中間ノード電位  $V_{MA}$  と、端子 1 2, 1 3 に与えられる基準電位  $V_{SS}$  との一方が、期間  $T_2$ ,  $T_1$  に対応したスイッチ  $S_1$ ,  $S_2$  の切換えに応じて入力され、結合コンデンサ  $C_1$  の入力端に加えられることになる。

## 【 0 0 7 0 】

従って、まず、期間T1においては、VSSが入力とされ、インバータ331の入出力はショートしているので、インバータ331の入力点aの実行レベルは $V_{IN}/2$  ( $=V_{ref}$ ) に収まっている。この状態に設定して、次に図11に示すように期間T2のタイミングで、下位トランジスタ (QN1) がオンしたところでVMAはアンダーシュートしてVSSより少し低い電圧になる。これがコンデンサC1による容量カップリングにてインバータ331の入力点aに伝送されるので、このときのインバータ331の入力点aではしきい値 $V_{ref}$  ( $=V_{IN}/2$ ) より低い入力レベルとなり、インバータ331の反転出力はハイ (H) レベル、その後、VMAが $V_{ref}$ より高くなると、インバータ331の反転出力はロー (L) レベルになる。

## 【 0 0 7 1 】

即ち、期間T2において、出力端子15に得られる検出信号NOFFは、VSSレベルに対するVMAの変化に応じて、Hレベル→Lレベルの変化となって出力される。

## 【 0 0 7 2 】

図12は上記検出回路33のもう一つの構成例を示すもので、(a)はその回路図、(b)は(a)におけるスイッチS1～S4の切換えタイミングを示す図である。ここでは、二段のインバータ (331, 332) を用いた例を示している。スイッチS1, S2は入力端A, Bを有する2入力切換えスイッチであり、スイッチS3, S4はオンオフ切換えスイッチである。

## 【 0 0 7 3 】

図12の例では、図10におけるインバータ331の後段に、結合コンデンサC2及びインバータ332と、インバータ333をさらに追加したものであり、インバータ332の入出力間にはスイッチS4を並列に接続している。インバータ332は、インバータ331と同様に、前記電源電圧 $V_{IN}$  ( $=V_{DD}$ ) と前記基準電位VSSと同じ電圧を用いて駆動される。インバータ332と前述のナンドゲート334との間に接続されたインバータ333は、図10の回路と信号極性の整合とるべくを挿入されている。なお、前述のナンドゲート334、インバータ

335については、図10の場合と同様に、期間T2においてアナログ信号VMAの変化をインバータ331、332で2値化した信号を更にデジタル信号化していくために付加されたゲートである。

#### 【0074】

従って、図12の回路は、インバータ構成を2段としてゲインを稼いだものであり、動作は図10と同様である。

#### 【0075】

以上述べた第2の実施の形態によれば、第1の実施の形態における貫通電流低減（上位、下位トランジスタの同時オン禁止）に加えて、下位トランジスタ駆動時の無駄な消費電流を低減することができ、より一層の電力消費の低減を図ることが可能となる。

#### 【0076】

本発明は、以上述べた実施の形態に限るものではなく、本発明の要旨を変えない範囲で各実施の形態を適宜変更して実施することができる。

#### 【0077】

#### 【発明の効果】

以上述べたように本発明によれば、上位、下位トランジスタ間の貫通電流を防止し、変換効率を上げることができるスイッチング式の電源回路を実現することが可能となる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態の電源回路の構成を示す図。

#### 【図2】

図1における出力ドライバの構成例を示す回路図を

#### 【図3】

図2の出力ドライバに基づく動作を説明する波形図。

#### 【図4】

図2の出力ドライバに基づく動作を説明する波形図。

#### 【図5】



本発明の第 2 の実施の形態の電源回路の構成を示す図。

【図 6】

図 5 における出力ドライバの構成例を示す図。

【図 7】

図 5 における PWM 信号 SH, SL 及び中間ノード電位 VMA の変化を示すタイミングチャート。

【図 8】

図 7 (b) を拡大して示す拡大図。

【図 9】

基準電位 VSS 及び中間ノード電位 VMA と、検出回路の検出信号 NOFF との関係を示すタイミングチャート。

【図 10】

図 5 における検出回路の構成例を示すもので、その回路図、及びスイッチ S1 ～ S3 の切換えタイミングを示す図。

【図 11】

図 10 における検出信号 NOFF を示す図。

【図 12】

図 5 における検出回路のもう一つの構成例を示すもので、その回路図、及びスイッチ S1 ～ S4 の切換えタイミングを示す図。

【図 13】

従来の電源回路の構成を示す図。

【図 14】

図 13 における出力ドライバの構成を示す図。

【符号の説明】

- 1 … 電源入力端子
- 2 … 基準電位入力端子
- 4 … 出力端子
- 31A, 31B … 出力ドライバ (PWM 手段)
- 32 … PWM 回路 (PWM 手段)

3 3 … 検出回路

4 0 … エラーアンプ (誤差検出手段)

Q P 1 … P M O S (上位トランジスタ)

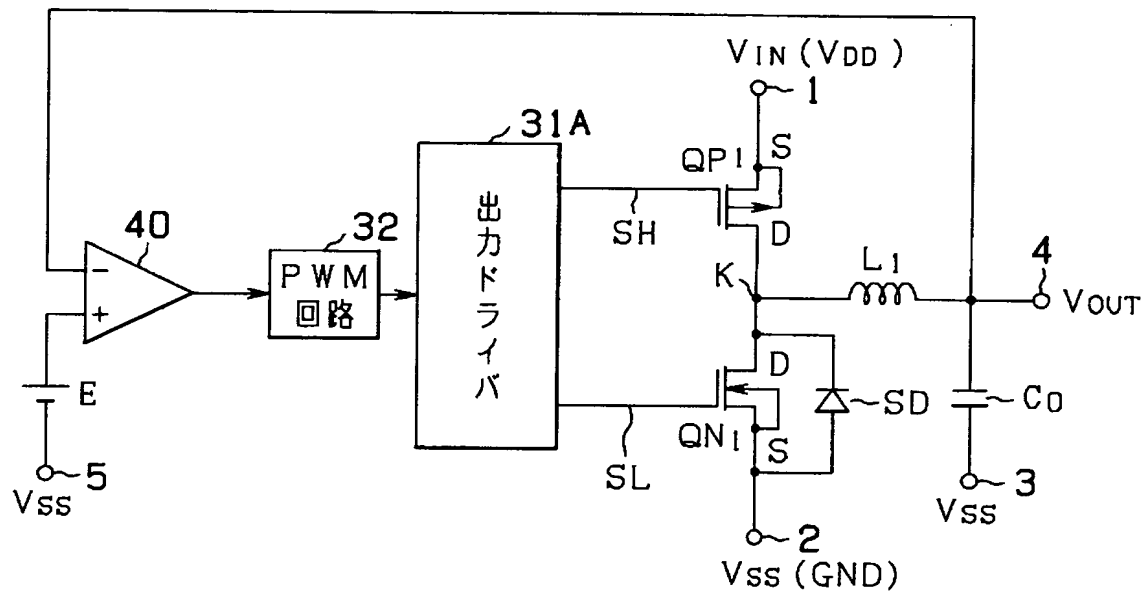
Q N 1 … N M O S (下位トランジスタ)

L 1 … 整流用コイル

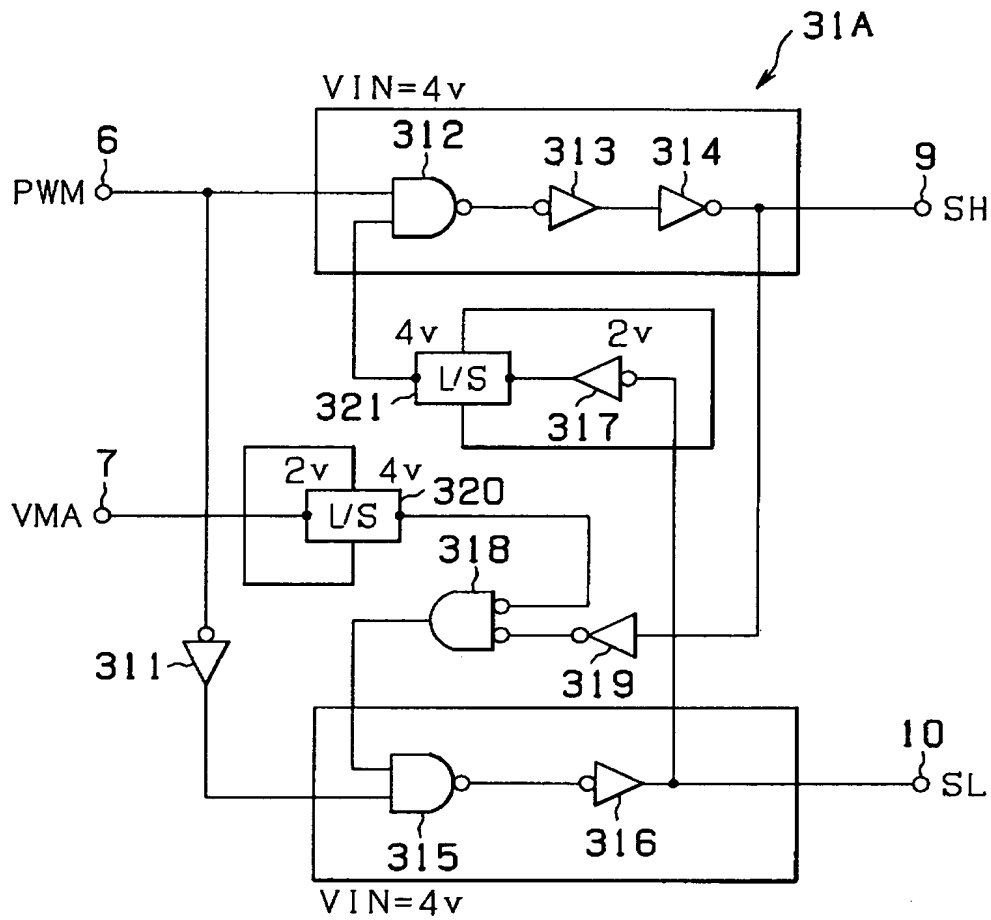
C 0 … 安定化容量

【書類名】 図面

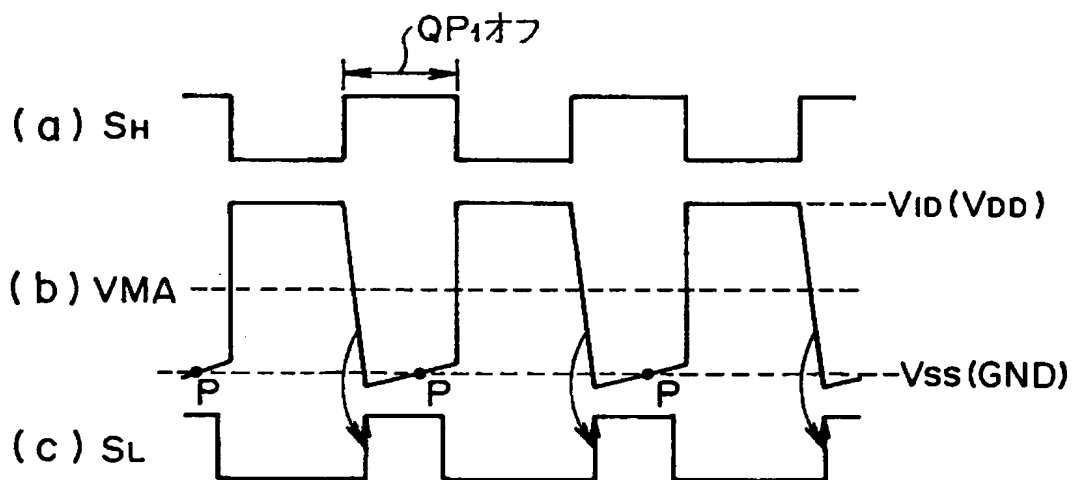
【図 1】



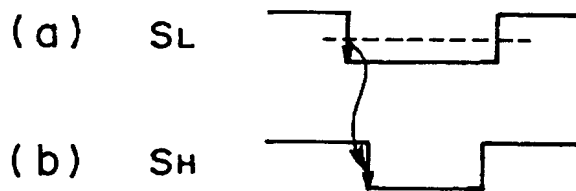
【図2】



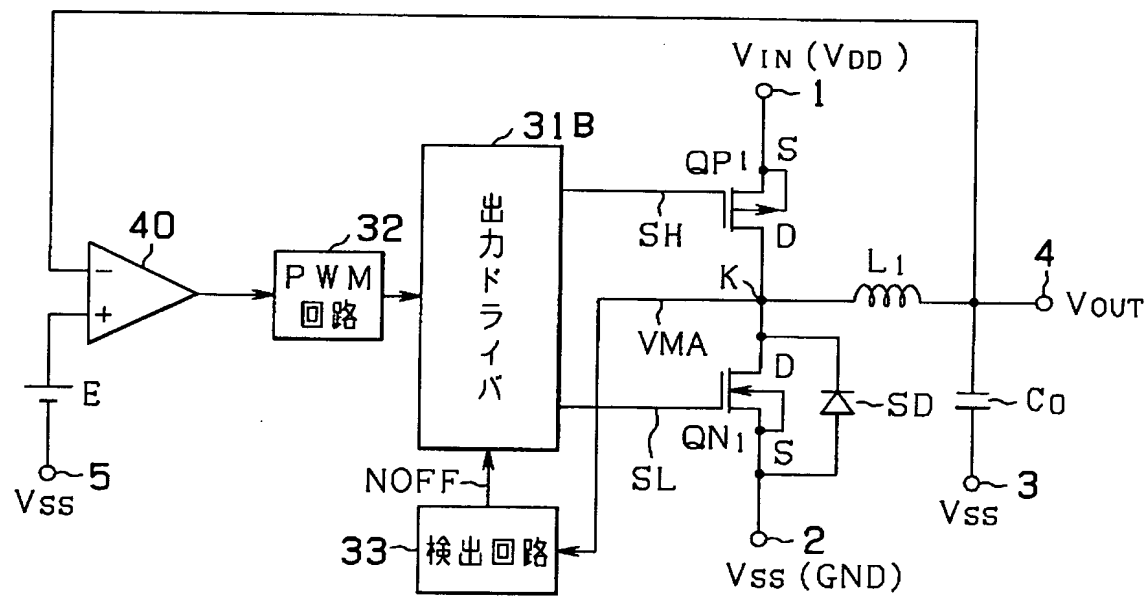
【図3】



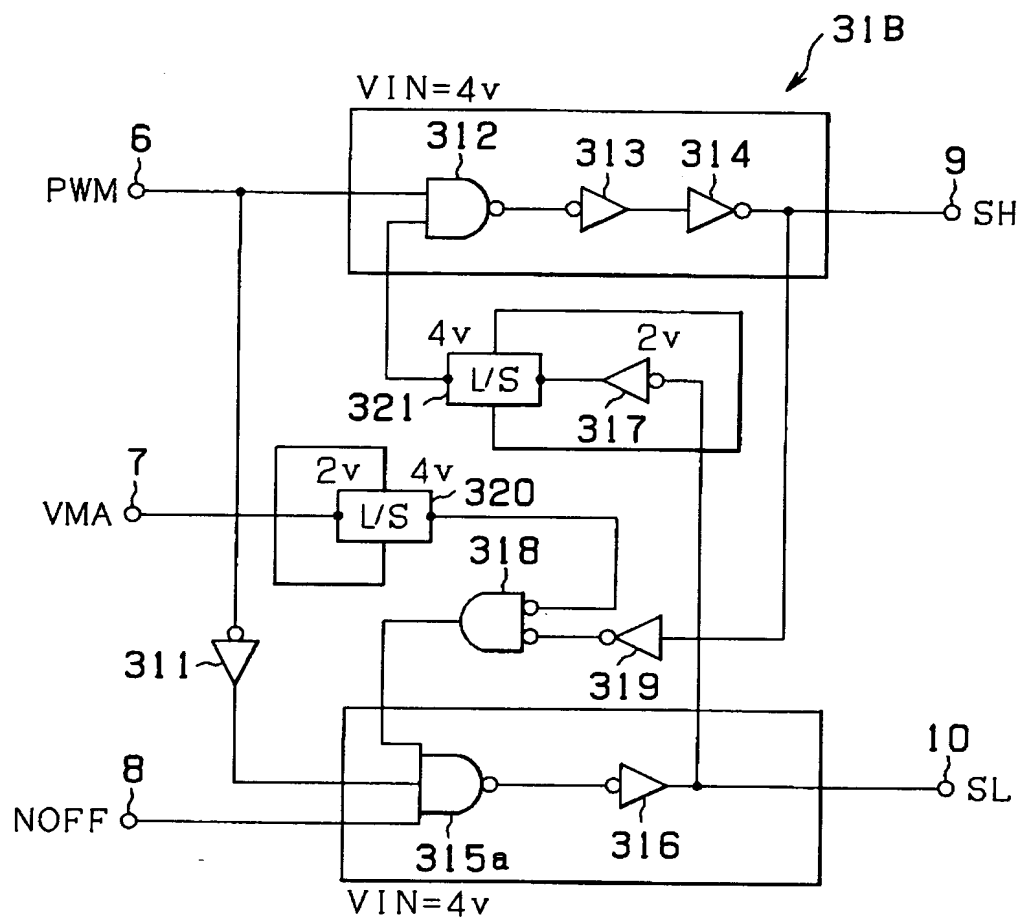
【図 4】



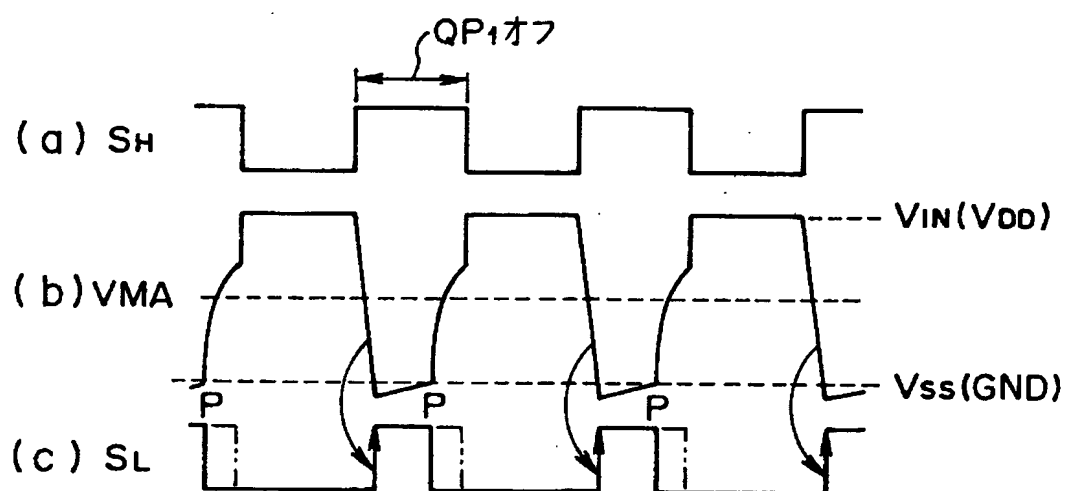
【図 5】



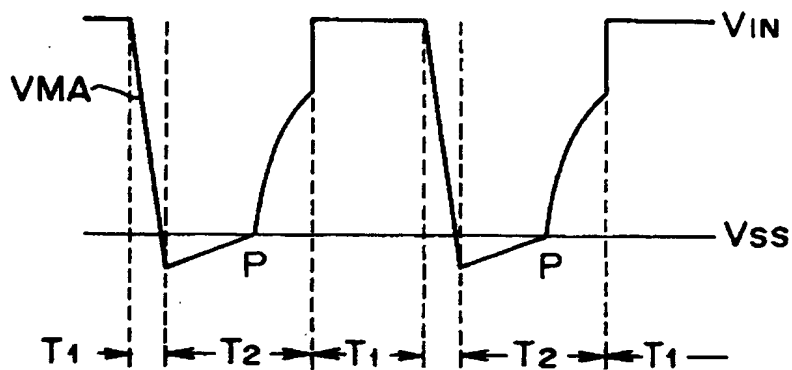
【図6】



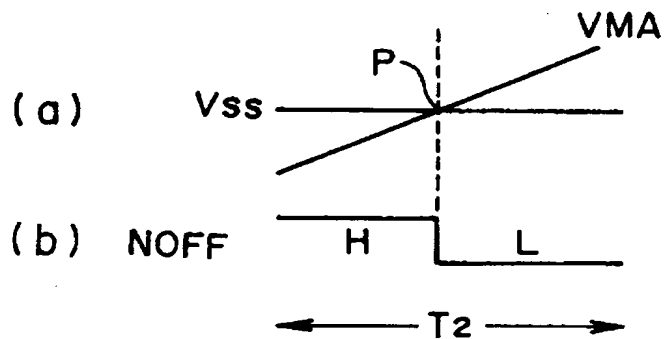
【図7】



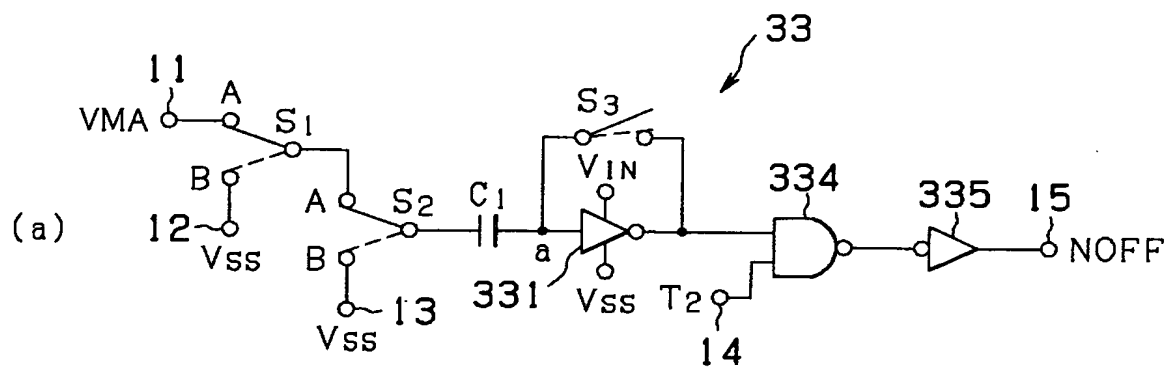
【図8】



【図9】



【図10】

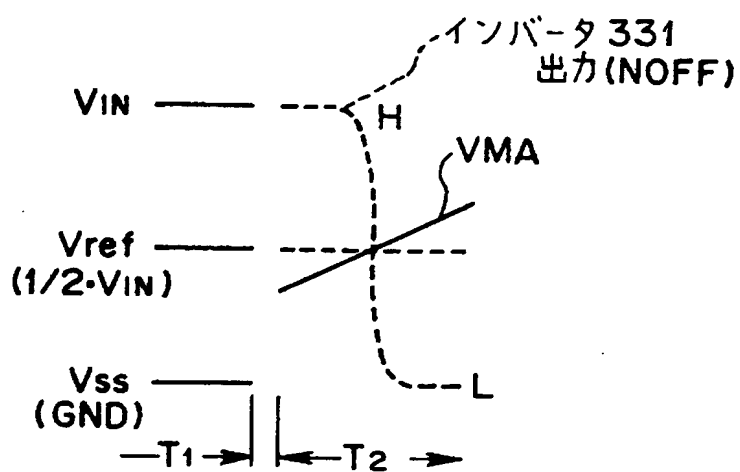


(b)

	S1	S2	S3
T1	B	B	オン
T2	A	A	オープン

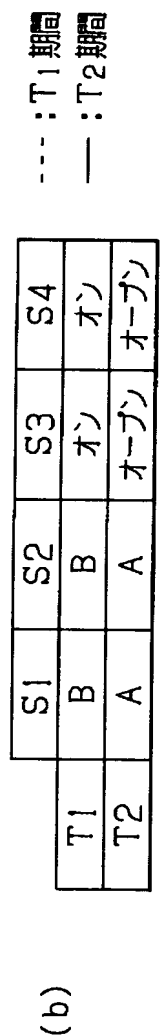
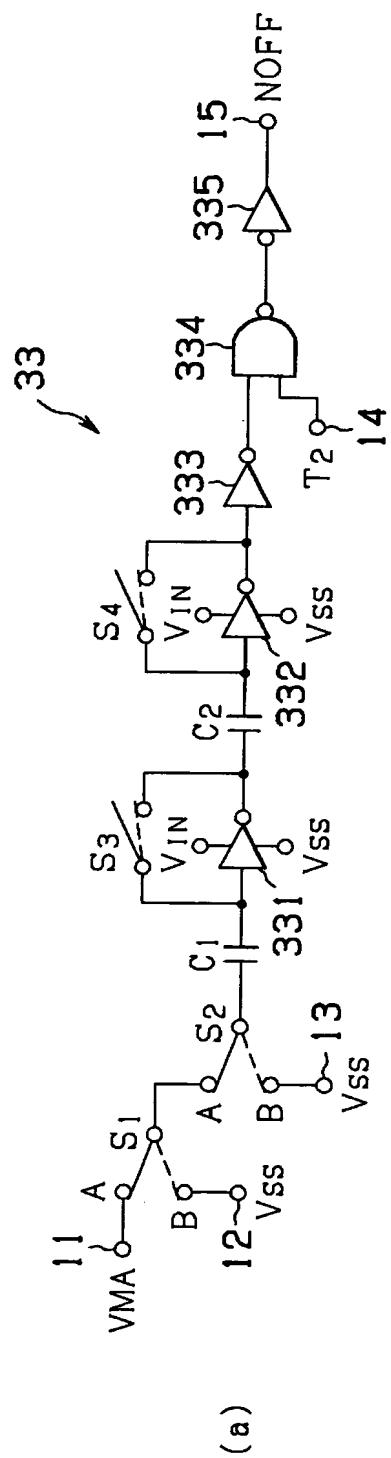
--- :  $T_1$  期間  
— :  $T_2$  期間

【図 1 1】

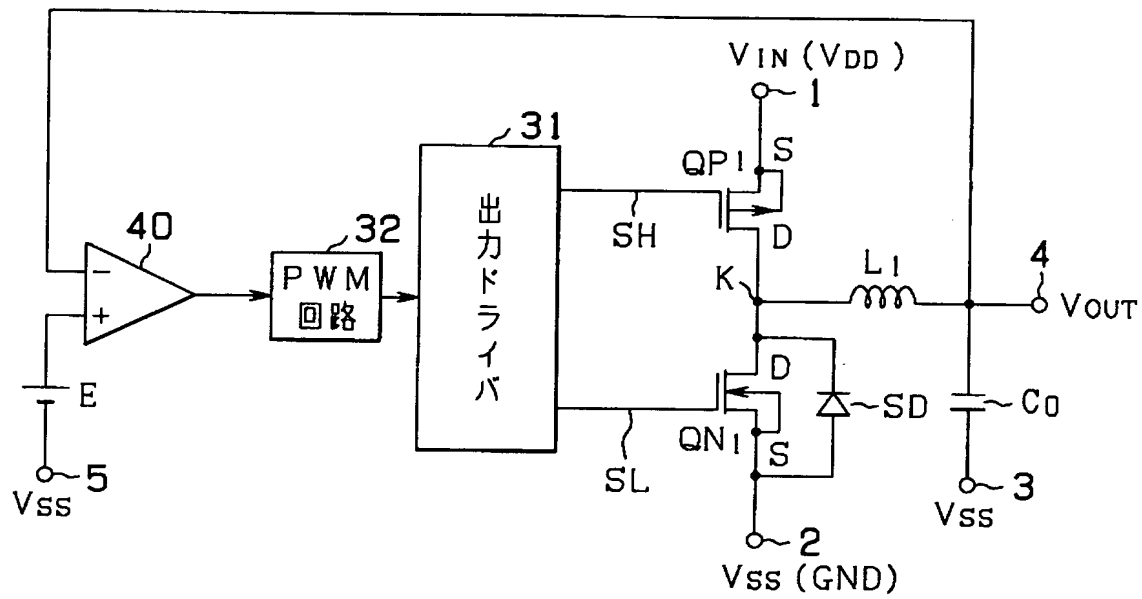




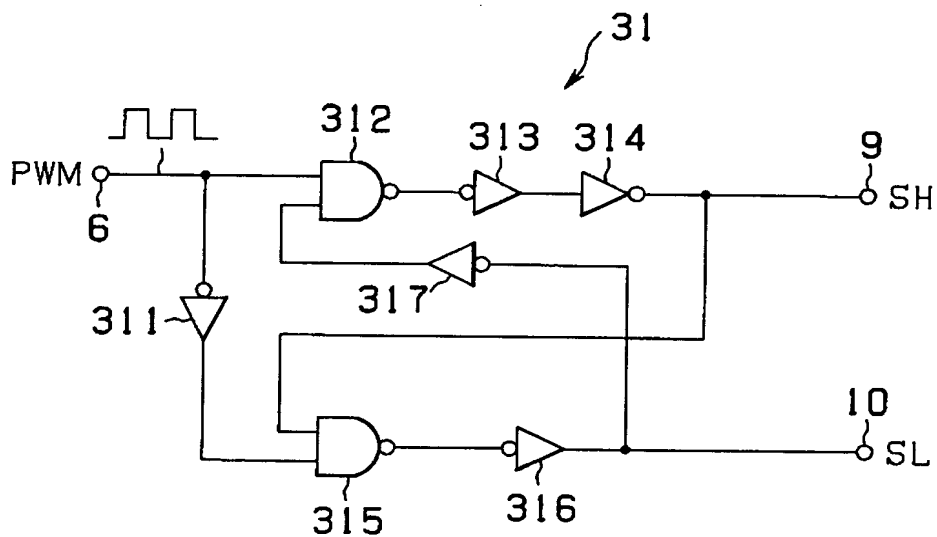
【図 1 2】



【図 13】



【图 14】



【書類名】 要約書

【要約】

【課題】 ハイサイド側からローサイド側への貫通電流を防止し、変換効率を上げることができる電源回路を提供すること。

【解決手段】 PMOS (QP1) とNMOS (QN1) を有し、PWM信号にて交互にわして、PWM制御された直流出力電圧を得るDC-DC変換回路 (QP1, QN1, L1, C0) と、前記DC-DC変換回路の出力を基準電圧値と比較しエラー信号を得るエラーアンプ 40と、前記エラー信号によってパルス幅が制御されたPWM信号を生成して、前記DC-DC変換回路の各ゲートに供給するPWM手段 (31A, 32) とを具備し、前記PWM手段を構成する出力ドライバ 31Aは、PMOS (QP1) がわしたのち中間ノード電位VMAが所定の電位以下になったときにNMOS (QN1) をわさせることで、PMOS (QP1) が確実にわした後にNMOS (QN1) をわさせ、またNMOS (QN1) がわとなった後にPMOS (QP1) をわさせる。これにより、PMOS (QP1) , NMOS (QN1) が同時にわせず貫通電流が流れることはない。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願2002-215246
受付番号	50201089521
書類名	特許願
担当官	第三担当上席 0092
作成日	平成14年 7月25日

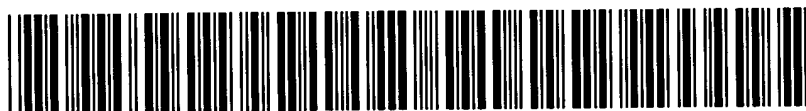
### <認定情報・付加情報>

【提出日】 平成14年 7月24日

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社



Creation date: 29-07-2003  
Indexing Officer: MSARPONG - MAVIS SARPONG  
Team: OIPEScanning  
Dossier: 10623464

Legal Date: 18-07-2003

No.	Doccode	Number of pages
1	TRNA	1
2	SPEC	31
3	CLM	3
4	ABST	1
5	OATH	2
6	ADS	2

Total number of pages: 40

Remarks:

Order of re-scan issued on .....